

# Przegląd konstrukcji i typów pamięci RAM

## *Pamięć z kontrolą parzystości i bez kontroli parzystości*

Praktycznie wszystkie komputery oparte na procesorach 386 i starszych, a także większość komputerów 486 wymagała stosowania pamięci z kontrolą parzystości, która umożliwia wykrycie ewentualnych błędów w danych. Pamięć z kontrolą parzystości wykorzystuje 8-bitowe układy pamięci z dodatkowym bitem parzystości, co daje w sumie 9 bitów. Większość komputerów klasy Pentium i nowszych nie wymaga stosowania pamięci z kontrolą parzystości, a jeśli takowa zostanie zainstalowana, to bit parzystości zostanie zignorowany.

### *Jak działa mechanizm kontroli parzystości?*

Mechanizm kontroli parzystości to inaczej metoda wykrywania błędów. Najprościej mówiąc każdy bajt danych ma przyporządkowany dodatkowy bit kontrolny. Bit ten jest ustawiany przy każdym zapisie, na nowo obliczany i porównywany ze starą wartością przy każdym odczycie w celu wykrycia ewentualnego przekłamania danych. Taki sposób pozwala na wykrycie błędów pojedynczego bitu. Jeżeli dwa bity w bajcie zmieniają swoją wartość, wtedy bit kontrolny może nie wykazać błędu. Sprawdzanie parzystości może być zaimplementowane na dwa sposoby. Pierwszy polega na zliczaniu „zer”, a drugi „Jedynek” w bajcie. Odpowiednio dla nieparzystej lub parzystej ich ilości bit kontrolny ustawiany jest na „zero” lub „Jeden”. Dlatego właśnie, jeśli dwa bity zmieniają swoją wartość, parzystość nie ulegnie zmianie.

Według przeprowadzonych badań, 90% wszystkich błędów pamięci to błędy pojedynczego bitu i dlatego metoda ta jest bardzo skuteczna w większości sytuacji. Niestety nic nie ma za darmo, tutaj ceną jest niewielkie zmniejszenie wydajności systemu ze względu na dodatkowy cykl zegara potrzebny na odczyt i zapis bitu kontrolnego. Metoda nie umożliwia jednak skorygowania błędów, a jedynym skutkiem jej działania jest zatrzymanie aplikacji i powiadomienie użytkownika o zaistniałym problemie.

W celu wyeliminowania wad powyższej technologii opracowano nowe rozwiązanie nazwane **ECC (Error Correction Checking)**, które nie tylko pozwala na wykrywanie błędów pojedynczego, ale także podwójnego, potrójnego a nawet poczwórnego bitu (zależnie od implementacji). W dodatku ECC posiada funkcję korekcji błędów pojedynczego bitu w sposób całkowicie przezroczysty dla aplikacji i użytkownika. Zasada działania ECC opiera się na „haszującym” algorytmie operującym na ośmiu bajtach (64 bitach) jednocześnie i umieszczeniu wyniku w specjalnym 8 bitowym słowie ECC. Podczas odczytu z pamięci ośmiu bajtów są one ponownie przepuszczone przez algorytm wyliczający słowo ECC, które z kolei porównywane jest z zachowanym wcześniej słowem ECC (podczas zapisu do pamięci) odpowiadającym tym konkretnym ośmiu bajtom. **Kontrola parzystości kontra ECC**

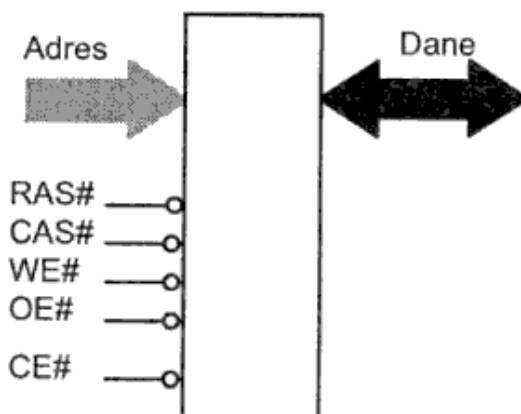
W ECC jeden bajt kontrolny przyporządkowany jest ośmiu bajtom danych, podczas gdy w „parzystości” jeden bit kontrolny odpowiada za jeden bajt danych.

Moduły ECC nie mogą być używane w trybie parzystości (jednakże możliwe jest używanie modułów z parzystością w trybie ECC). Oba typy kości, zarówno z ECC i z parzystością mogą współpracować z płytami nie obsługującymi żadnego z tych rozwiązań. Dodatkowe bity kontrolne będą najzwyczajniej ignorowane. Wiele wczesnych chipsetów do Pentium nie obsługiwało technologii kontroli pamięci nie umożliwiając zmian ustawień z poziomu BIOS. Moduły SIMM mogą być trzech rodzajów: z parzystością, bez parzystości i z ECC, natomiast DIMM-y mogą być tylko ECC lub non-ECC.

## Pamięć DRAM

Pamięci dynamiczne RAM (**Dynamie RAM**)

**DRAM**, są pamięciami pozwalającymi uzyskiwać duże pojemności w pojedynczym układzie scalonym. Zasada działania komórki pamięci dynamicznej opiera się na magazynowaniu ładunku na określonej, niewielkiej pojemności elektrycznej. Pojemność nie naładowana oznacza zero logiczne, pojemność naładowana oznacza zapisaną jedynekę logiczną. Sposób przechowywania (kodowania) stanów logicznych powoduje potrzebę **odświeżania**, czyli cyklicznego doładowywania tych pojemności. Rodzaje wyprowadzeń pamięci DRAM pokazane są na rysunku obok.



Rysunek 1. Wyprowadzenia pamięci DRAM.

Adres słowa, na którym chcemy wykonać operację, podawany jest w dwóch równych częściach zwanych **adresem wiersza** i **adresem**

**kolumny**. Zmniejsza to ilość potrzebnych wyprowadzeń szyny adresowej i upraszcza konstrukcję dekoderek adresu. Z drugiej strony układy logiczne sterujące pracą pamięci muszą dokonać konwersji adresu, podawanego przez procesor czy innego zarządcę magistral, na postać wymaganą przez pamięć DRAM. Drobne różnice występują też w wejściach sterujących pamięci. Zamiast wejścia R/W# mamy dwa wejścia: OE# - zezwolenie na wyprowadzenie (odczyt) informacji (Output Enable) i WE# - zezwolenie na zapis (Write Enable). Sygnał CE# (Chip Enable) jest równoważny sygnałowi CS#. Sygnały RAS# i CAS# związane są z wprowadzaniem adresu do pamięci.

Poprawne zaadresowanie pamięci DRAM wymaga wykonania po kolei następujących czynności:

1. Podanie starszej części adresu na linie adresowe pamięci DRAM jako adresu wiersza, a następnie wytworzenie aktywnego zbocza sygnału RAS#, powodującego zapamiętanie tego adresu w rejestrze zatraskowym adresu wiersza.
2. Odmierzenie określonego, wymaganego opóźnienia czasowego.
3. Podanie młodszej części adresu na linie adresowe pamięci DRAM jako adresu kolumny i wytworzenie aktywnego zbocza sygnału CAS#, powodującego zapamiętanie tego adresu w rejestrze zatraskowym adresu kolumny.

Następnie, zgodnie z sygnałami sterującymi OE# lub WE#, wykonywana jest operacja odczytu lub zapisu na zaadresowanym słowie. Po operacji odczytu odmierzane jest kolejne opóźnienie czasowe przed rozpoczęciem następnego cyklu, potrzebne do doładowania pojemności komórek pamiętających odczytywane słowo. Wynika to stąd, że w trakcie sprawdzania stanu takiej pojemności jest ona w znacznej mierze rozładowywana.

### *Odświeżanie pamięci DRAM*

Odświeżanie komórek pamięci DRAM polega na cyklicznym doładowywaniu pojemności pamiętających przechowujących wartość jeden (1). Częstotliwość odświeżania zapewniająca poprawną pracę pamięci DRAM jest podawana przez producenta jako parametr katalogowy, którego należy przestrzegać. Operacja odświeżania pamięci realizowana jest przez układy logiczne odświeżania, będące elementem systemu (płyty głównej).

Istnieją cztery podstawowe sposoby odświeżania pamięci dynamicznych RAM:

- **sygnałem RAS (RAS only),**
- **sygnałem CBR - CAS przed RAS (CAS-before-RAS),**
- **odświeżanie ukryte (hidden refresh),**
- **autoodświeżanie (self-refresh).**

Najczęściej spotykanym sposobem jest odświeżanie sygnałem RAS. Na sygnał z generatora odświeżania, układy logiczne odświeżania przejmują kontrolę nad magistralami (stają się zarządcą magistral). Następnie podają one na magistralę adresową zawartość tak zwanego licznika odświeżania. Licznik ten adresuje kolejne wiersze przeznaczone do odświeżenia i po każdym odświeżeniu kolejnego wiersza jest zwiększany o jeden. Po podaniu adresu generowany jest sygnał RAS powodujący odświeżenie zaadresowanego wiersza.

Dwa następne sposoby wymagają obecności w układach pamięci wewnętrznego licznika odświeżania. W sposobie CAS przed RAS sterownik DRAM wytwarza aktywny sygnał CAS, a następnie sygnał RAS. W odpowiedzi na taką sekwencję układy pamięci DRAM odświeżają wiersz wskazywany przez ich wewnętrzny licznik odświeżania. Przy odświeżaniu ukrytym po wytworzeniu aktywnych poziomów sygnałów RAS i CAS i odczycie komórki, sygnał RAS zmienia kolejno stan na nieaktywny i aktywny przy stale aktywnym sygnale CAS. Powoduje to pozostawienie zawartości odczytywanej komórki na wyjściach danych przy jednoczesnym (równoległym) odświeżeniu wiersza zaadresowanego przez wewnętrzny licznik odświeżania pamięci.

Odświeżanie automatyczne stosowane jest przy mniejszych pojemnościach pamięci dynamicznych. W tym przypadku układy logiczne odświeżania są zawarte wewnątrz układów pamięci, a potrzebę odświeżenia kolejnego wiersza sygnalizuje się aktywnym stanem na wejściu REFRESH# pamięci.

### ***Pamięć SDRAM***

Modyfikacja pamięci DRAM do układu SDRAM polega na zsynchronizowaniu operacji pamięci z zewnętrznym zegarem. Zmiana dotyczy więc interfejsu pomiędzy pamięcią a systemem. Typowe pamięci DRAM pracują asynchronicznie w stosunku do procesora, który z kolei jest układem synchronicznym. Synchronizacja operacji pamięci z zegarem procesora pozwala osiągnąć optymalną szybkość współpracy obydwu układów. Pamięć SDRAM szczególnie nadaje się do współpracy z pamięcią podręczną (cache).

### ***Przeplot pamięci***

Inną metodą pozwalającą zwiększyć szybkość komunikacji z pamięcią jest stosowanie tak zwanego przeplotu. Pomysł ten bazuje na fakcie, że większość odczytów z pamięci dokonywana jest z kolejnych, położonych obok siebie słów. W przypadku odczytów następujących jeden po drugim musimy zapewnić czas na doładowanie pojemności pamiętających. Możemy jednak sąsiadujące słowa rozmieścić na przemian w dwóch różnych bankach (układach scalonych) pamięci (adresy parzyste w jednym, nieparzyste w drugim). Wówczas przy odczycie kolejnych słów, po odczytaniu słowa z pierwszego banku możemy bez oczekiwania dokonać odczytu z drugiego banku, gdyż jest to odczyt z innego układu scalonego. W tym czasie w pierwszym banku zostaną doładowane pojemności pamiętające komórek odczytanego wiersza.

### ***Rozwój pamięci DRAM***

Historia rozwoju komputera PC związana jest z trudnościami wynikającymi ze stosowania pamięci znacznie wolniejszej od procesora. Z tego też powodu konieczne było zastosowanie kilku poziomów szybkiej pamięci podręcznej (cache) obsługującej żądania procesora dotyczące danych znajdujących się w pamięci RAM. Ponieważ procesor w znacznym stopniu jest odizolowany od bezpośredniej współpracy z pamięcią operacyjną przez pamięć L1 i L2, wydajność pamięci często

nie dorównuje wydajności magistrali procesora. Dopiero wprowadzenie pamięci SDRAM, DDR SDRAM i RDRAM spowodowało, że wydajność magistrali pamięci zrównała się z osiąganymi magistrali procesora. Do konstrukcji pamięci cache stosuje się **pamięci statyczne SRAM**, natomiast do budowania pamięci operacyjnej komputera stosuje się **pamięci dynamiczne DRAM**.

#### *Pamięci Page Mode (PM)*

Najstarszy tryb dostępu do pamięci dynamicznej, zwany trybem konwencjonalnym, to oddzielne adresowanie wiersza i kolumny dla każdego cyklu. Adres wiersza zdejmowany jest przez układ pamięciowy z szyny adresowej w momencie wykrycia opadającego zbocza sygnału sterującego **RAS (Row Address Select)**. Po zatrzaśnięciu tego fragmentu adresu w rejestrze wejściowym następuje krótkotrwałe zwolnienie szyny adresowej, po czym odkłada się na niej fragment adresu odpowiedzialny za numer kolumny. Adres ten wprowadzany jest do układu pamięciowego w momencie zdekodowania opadającego zbocza sygnału sterującego **CAS (Column Address Select)**.

#### *Pamięci Fast Page Mode (FPM)*

Tryb FPM oferuje pewne skrócenie czasu dostępu w stosunku do trybu konwencjonalnego poprzez uproszczenie mechanizmu adresowania. Dostęp do dowolnej komórki pamięci operacyjnej nie odbywa się przecież poprzez odczytanie lub zapis tylko tej jednej wartości. Szczegóły konstrukcyjne wynikające z samej architektury narzucają bardziej racjonalny styl postępowania - wymiana danych między pamięcią a resztą systemu odbywa się w porcjach po kilka bajtów na raz. Dane i programy skupione są zwykle w pewnym spójnym wycinku przestrzeni adresowej. Przyjmując powyższe założenie, adres wiersza przekazuje się do układu pamięciowego tylko raz na cztery cykle dostępu, które razem tworzą swego rodzaju pakiet (**Burst**). Pozostałe trzy cykle dostępu mają ten sam adres wiersza, a tylko zmienny adres kolumny. Czas trwania poszczególnych cykli pakietu mierzony w jednostce zegarowej magistrali podaje się najczęściej w formie czterech liczb oddzielonych od siebie kreską, np. v-w-y-z. Pierwsza liczba informuje o czasie trwania pierwszego cyklu (jest z założenia większa, gdyż przekazuje i adres wiersza i kolumny), a pozostałe odnoszą się do kolejnych seryjnych cykli dostępu w obrębie tego samego wiersza. Im liczby mniejsze (optymalnie 1-1-1-1), tym wymiana danych przebiega szybciej. Pamięci FPM umożliwiają osiągnięcie w najlepszym razie stanu 5-3-3-3. Czasu dostępu tego typu pamięci wynoszą 70-60 ns.

#### *Pamięci Extended Data Out (EDO)*

Modyfikacja w sposobie działania w stosunku do pamięci FPM dotyczy zmian w układzie sterowania pamięcią. Charakterystyczne dla EDO jest to, iż aktualny cykl dostępu może się rozpocząć przed zakończeniem cyklu poprzedniego, a dane utrzymywane są na wyjściu przez czas dłuższy niż w przypadku pamięci PM lub FPM. Parametry pracy pamięci EDO w trybie Burst mogą osiągnąć w optymalnych warunkach wartości 5-2-2-2. Powyższa modyfikacja dotyczy jedynie operacji odczytu, proces zapisywania w pamięciach EDO jest realizowany dokładnie tak samo jak w pamięciach FPM. Czasy dostępu do pamięci EDO osiągają zazwyczaj wartości 60 ns, choć pojawiły się także pamięci EDO i czas dostępu 50 ns.

#### *Pamięci Burst EDO (BEDO)*

Pamięci tego typu stanowią kombinację dwóch idei - wydłużania czasu obecności danych na końcówkach wyjściowych (jak w EDO) oraz tzw. **strumieniowania (pipelining)**. O BEDO można wspomnieć wyłącznie w aspekcie historycznym, gdyż pamięci te nie doczekały się akceptacji ze strony producentów, co spowodowane było tym iż w momencie pojawienia się pamięci BEDO Intel wypuścił już chipsety dostosowane do pracy z kolejnym rodzajem pamięci - SDRAM.

### *Pamięci SDRAM (Synchronous DRAM)*

W chwili wprowadzenia procesorów Pentium II stało się oczywiste, że modele taktowane zegarem powyżej 350 MHz nie mogą efektywnie współpracować z dotychczasową magistralą pamięciową. Pamięci dynamiczne SDRAM nie różnią się w swej naturze od innych pamięci dynamicznych. Jedyną różnicą polega na sposobie sterowania i dostępu do komórek pamięci. Wszystkie sygnały sterujące SDRAM synchronizowane są z jednego przebiegu zegarowego, co ułatwia integrację pamięci w systemie i poprawia jej współpracę z magistralami. Dostęp do pamięci SDRAM realizowany jest najczęściej poprzez cykle zgrupowane (Burst) obejmujące swoim zasięgiem 2, 4 lub 8 kolejnych lokalizacji. W pamięciach SDRAM zmieniono także sposób sterowania odświeżaniem, przenosząc ten obowiązek na wewnętrzny generator pobudzający w odpowiednim rytmie wszystkie wiersze matrycy pamięci.

### *Pamięci DDR SDRAM Double Data Rate SDRAM*

W przypadku DDR SDRAM dane transmitowane są na obu zboczach sygnału taktującego. Podobny trik zastosował np. Intel w AGP 2x. To dzięki temu samemu, właściwie bez potrzeby projektowania nowych układów, można dwukrotnie podnieść przepustowość podsystemu pamięć - CPU. W przypadku, dajmy na to, P2 400 (4x 100 MHz), pamięć będzie działała z wynikową częstotliwością równą 200 MHz! Tym bardziej, że DDR SDRAM może osiągnąć maksymalną przepustowość równą 1.6 Gb/s przy częstotliwości taktowania równej 100 MHz, a zwiększenie jej do 133 MHz oznacza osiągnięcie transferu dochodzącego do 2.133 Gb/s!

### *Pamięci RDRAM (Direct Rambus DRAM)*

Technologia RDRAM opracowana została przez firmę Rambus i przez nią opatentowana, co sprawia, że tego typu rozwiązania konstrukcyjne wymagają uiszczenia opłat licencyjnych. Cechą najbardziej różniącą RDRAM od innych typów pamięci jest pakietowy tryb pracy samej magistrali. Jej początek stanowi kontroler Rambus zlokalizowany np. we wnętrzu chipsetu płyty głównej. Koniec magistrali zamknięty jest specjalnymi terminatorami. Do jednej magistrali (kanału) może być dołączonych nie więcej niż 32 chipów pamięciowych RDRAM. Chipsety obsługujące pamięci Rambus korzystają z co najmniej dwóch kanałów, pomnażając w ten sposób możliwości systemu. Firma Rambus wprowadziła trzy standardy Rambusów: **Base**, **Concurrent** i **Direct**. Dwa pierwsze stosuje się w stacjach roboczych SGI oraz konsolach Nintendo. Natomiast standard Direct został stworzony z myślą o komputerach PC. Pamięci Rambus były projektowane od samego początku do współpracy z chipsetami firmy Intel. **Rambus Base** - działają z częstotliwością nawet 600 MHz, jednak by ją osiągnąć, potrzebują bardzo dużych czasów opóźnień (kilkaset nanosekund!). Swego czasu pamięci tego typu montowali niektórzy producenci kart graficznych (np. Cirrus Logic), bowiem kości odpowiedzialne za operacje 2D/3D nie mają zbyt dużych wymagań, jeśli chodzi o opóźnienia, lecz potrzebują ogromnych przepustowości.

**Rambus Concurrent** - największym usprawnieniem w stosunku do Base jest podniesienie częstotliwości taktowania do 700 MHz i maksymalnej przepustowości do 700 Mb/s. **Rambus**

**Direct** charakteryzujące się następującymi ważnymi cechami:

- użyciem modułów **RIMM (Rambus Inline Memory Modules)**, czyli układów bardzo podobnych do SIMM i DIMM,
- wprowadzeniem obsługi technologii **DDR (Double Data Rate)**, a więc transferu na obu zboczach sygnału, rozszerzeniem szyny z danymi do 16-bitów z 8-bitową szyną kontrolną, obniżeniem napięcia zasilania do 2.5V,
- wykorzystaniem pipeliningu, maksymalnym transferem równym 1.6 Gb/s
- pracą z częstotliwością 400 Mhz

### *Pamięci SyncLink (SLDRAM)*

Pamięci SLDRAM stanowią znaczne ulepszenie SDRAM i są odpowiedzią na próbę zdominowania rynku przez spółkę Intel + Rambus. Do rozwoju tego typu pamięci włączyli się między innymi tacy giganci, jak: Fujitsu, Hitachi, IBM, LG, Micron, Mitsubishi, NEC, Samsung, Siemens, TI i Toshiba. Najważniejsze cechy nowej pamięci to obsługa DDR i pipelingu, 64 (72) bitowa wewnętrzna szerokość ścieżki danych oraz 16 (18) bitowa szerokość szyny I/O.

Tabela 1. Porównanie różnych typów pamięci DRAM

standard modułu	format modułu	typ układu	zegar (MHz)	liczba cykli zegara	szerokość szyny magistrali	przepustowość (MB/s)
FPM	FPM 60ns	SIMM	22	1	64	177
EDO	EDO 60ns	SIMM	33	1	64	266
PC-66	SDRAM	DIMM66	67	1	64	533
PC-100	SDRAM	DIMM100	100	1	64	800
PC-133	SDRAM	DIMM133	133	1	64	1066
PC-1600	DDR SDRAM	DDR200	100	2	64	1600
PC-2100	DDR SDRAM	DDR266	133	2	64	2133
PC-2400	DDR SDRAM	DDR300	150	2	64	2400
PC-2700	DDR SDRAM	DDR333	167	2	64	2666
PC-3000	DDR SDRAM	DDR366	183	2	64	2933
PC-3200	DDR SDRAM	DDR400	200	2	64	3200
PC-3600	DDR SDRAM	DDR444	222	2	64	3555
PC-4000	DDR SDRAM	DDR500	250	2	64	4000
PC-4200	DDR SDRAM	DDR533	267	2	64	4266
PC-5400	DDR SDRAM	DDR666	333	2	64	5333
PC-600	RDRAM	RIMM1200	300	2	2x8	1200
PC-700	RDRAM	RIMM1400	350	2	2x8	1400
PC-800	RDRAM	RIMM1600	400	2	2x8	1600
PC-1066	RDRAM	RIMM2100	533	2	2x8	2133
PC-1200	RDRAM	RIMM2400	600	2	2x8	2400
PC-800	RDRAM DUAL	RIMM3200	400	2	2x16	3200
PC-1066	RDRAM DUAL	RIMM4200	533	2	2x16	4266
PC-1200	RDRAM DUAL	RIMM4800	600	2	2x16	4800
PC-800	RDRAM DUAL	RIMM6400	400	2	2x32	6400
PC-1066	RDRAM DUAL	RIMM8500	533	2	2x32	8533
PC-1200	RDRAM DUAL	RIMM9600	600	2	2x32	9600

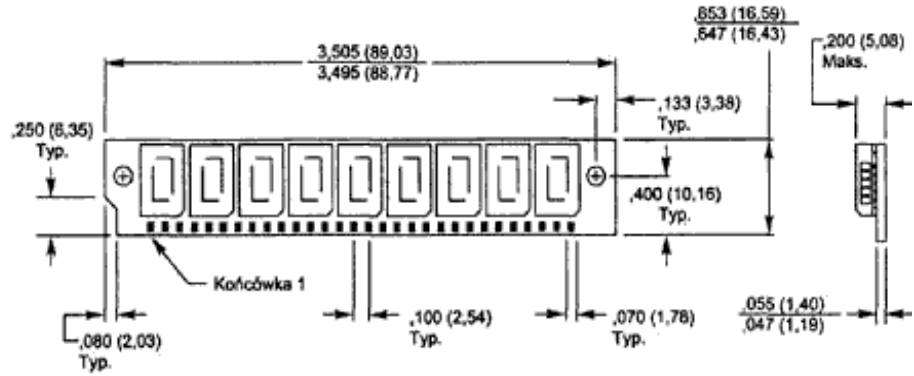
### *Moduły pamięci*

Początkowo pamięć w komputerach była instalowana w postaci pojedynczych układów. Z powodu ich architektury często określano je pojęciem układów **DIP (Dual Inline Package)**, np. oryginalne komputery IBM XT i AT miały 36 gniazd na tego typu pamięci. Obecnie w komputerach PC stosuje się wymienne moduły pamięci typu SIMM. DIMM lub RIMM. **Moduły SIMM** dostępne są w dwóch wersjach: 30 końcówkowego (8 bitów oraz opcjonalnie 1 dodatkowy bit parzystości) i 72 końcówkowego (32 bity oraz opcjonalnie 4 bity parzystości). W tego typu modułach stosuje się (stosowało się pamięci FPM i EDO).

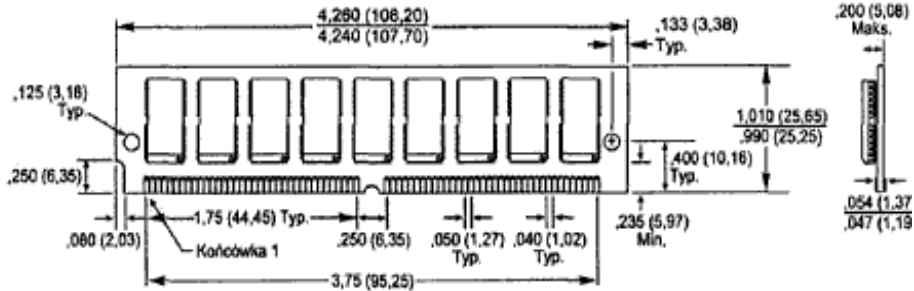
**Moduły DIMM** różnią się konstrukcyjnie w zależności od zastosowanego typu pamięci -SDRAM lub DDR SDRAM (pierwsze moduły DIMM zawierały także pamięci EDO). Standardowy moduł DIMM ma 168 końcówek a moduł DDR DIMM 184 końcówki (64 bity bez kontroli parzystości lub 72 z kontrolą parzystości).

**Moduły RIMM** stosuje się do budowy pamięci opartej o RDRAM. Istnieją trzy typy układów RIMM - 16/18 bitowa z 184 końcówkami, 32/36 bitowa z 232 końcówkami oraz 64/72 bitowa z 326 końcówkami. Wszystkie typy wyposażone są w jednakowe złącze, ale w celu uniknięcia pomyłek stosuje się inny system wycięć.

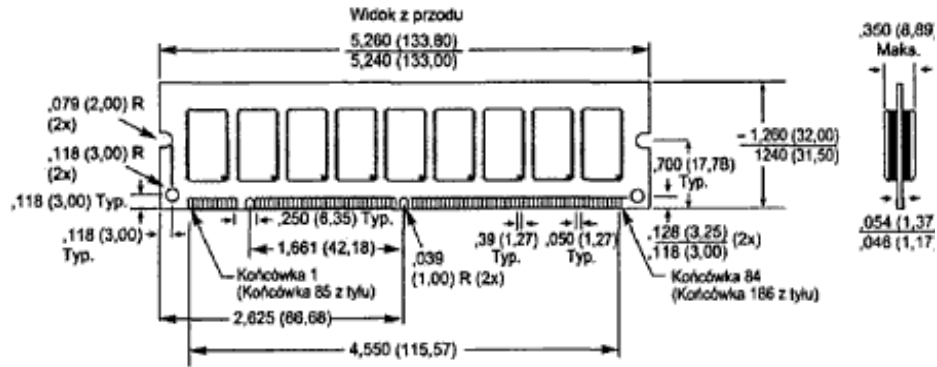
Typowy  
30-końcówkowy  
moduł SIMM.  
Na rysunku pokazano  
wersję 9-bitową,  
ale jej wymiary  
dotyczą również  
wersji 8-bitowej



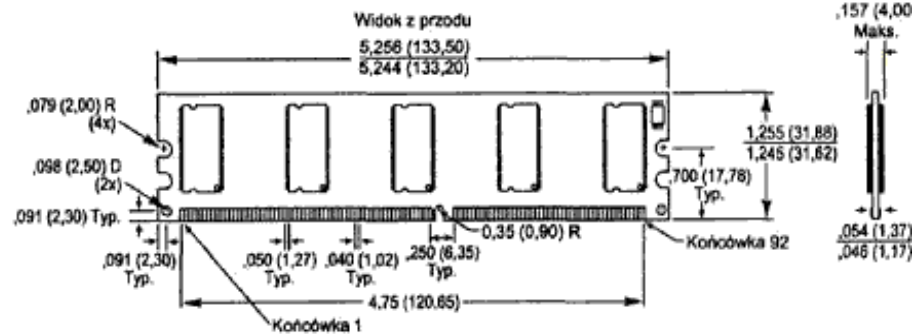
Typowy  
72-końcówkowy  
moduł SIMM.  
Na rysunku pokazano  
wersję 36-bitową,  
ale jej wymiary  
dotyczą również  
wersji 32-bitowej



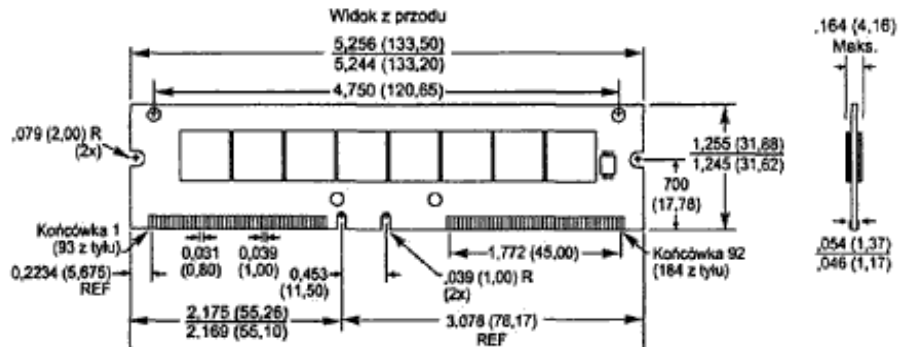
Typowy  
168-końcówkowy  
moduł SDRAM  
DIMM. Na rysunku  
pokazano wersję  
72-bitową, ale jej  
wymiary dotyczą  
również wersji  
64-bitowej



Typowy  
184-końcówkowy  
moduł DDR DIMM.  
Na rysunku pokazano  
wersję 72-bitową,  
ale jej wymiary  
dotyczą również  
wersji 64-bitowej



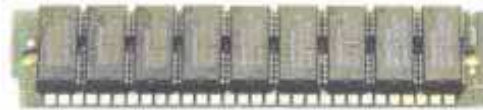
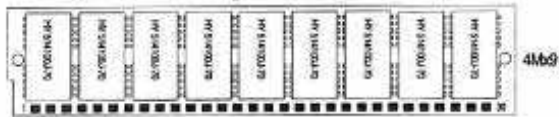
Typowy  
184-końcówkowy  
moduł RIMM.  
Na rysunku pokazano  
wersję 18-bitową,  
ale jej wymiary  
dotyczą również  
wersji 16-bitowej



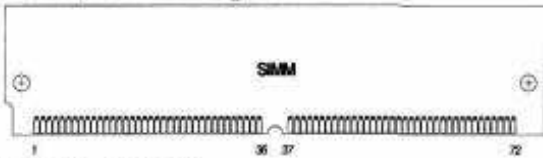
Rysunek 2. Różnice w budowie modułów pamięci SIMM, DIMM oraz RIMM.



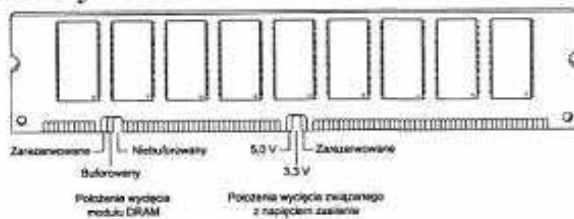
### Moduly SIMM 30-pinowe



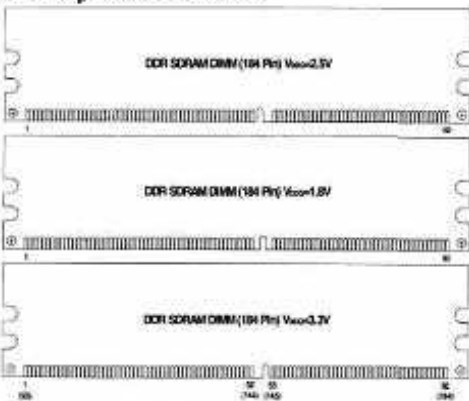
### Moduly SIMM 72-pinowe



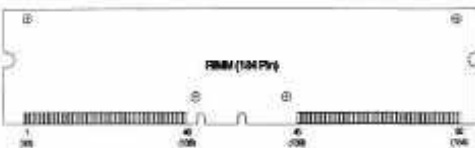
### Moduly DIMM



### Moduly DDR DIMM



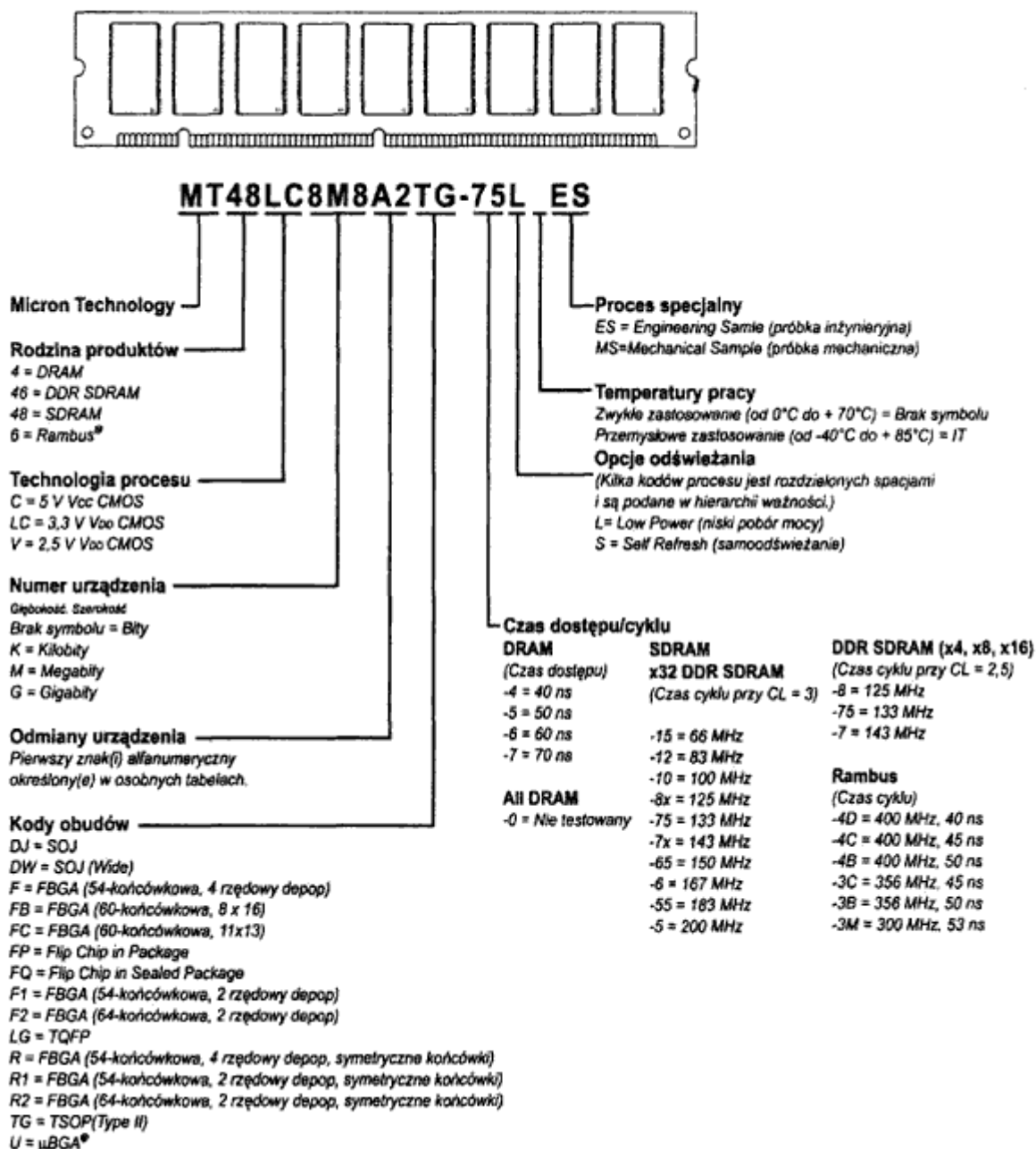
### Moduly RIMM





## Identyfikacja modułów pamięci DRAM

Poszczególni producenci układów pamięci stosują swoje specyficzne oznaczenia. Na rysunku poniżej przedstawiono przykładowy moduł firmy Micron.



## Pamięć SRAM

Pamięć statyczna **SRAM (Static RAM)** w odróżnieniu od pamięci dynamicznych nie wymaga procesu odświeżania, co powoduje że jest to pamięć zdecydowanie szybsza w działaniu. Z drugiej jednak strony mniejsze możliwości upakowywania (scalania) większych pojemności tych pamięci oraz wyższe koszty jej powstania, powodują specyficzne zastosowania tego typu pamięci. Pamięci SRAM stosuje się przede wszystkim do budowy tzw. pamięci podręcznych (cache).

W celu minimalizacji ilości operacji odczytu danych przez procesor z „wolnej” pamięci, w procesorach stosuje się dwa poziomy pamięci podręcznej - **Level 1 (L1)** oraz **Level 2 (L2)**. Pamięć cache L1 pełni rolę **pamięci podręcznej wewnętrznej (internal cache)**, ponieważ jest ona bezpośrednio zintegrowana z procesorem i stanowi część jego układu. Z tego też powodu pamięć L1 zawsze pracuje z częstotliwością rdzenia procesora i jest najszybszą pamięcią w całym systemie. Pamięć L2 określa się natomiast mianem **zewnętrznej pamięci podręcznej (external cache)**, ponieważ została ona umieszczona poza konstrukcją procesora. Początkowo oznaczało to, że znajdowała się ona na płycie głównej, jednakże ciągłe dążenie do wzrostu wydajności spowodowało, że pamięć L2 jest obecnie także składnikiem samego procesora i wchodzi w skład jego konstrukcji.

W przypadku najnowszych rozwiązań (np. procesor Itanium) możemy mieć do czynienia z trzema poziomami pamięci cache.

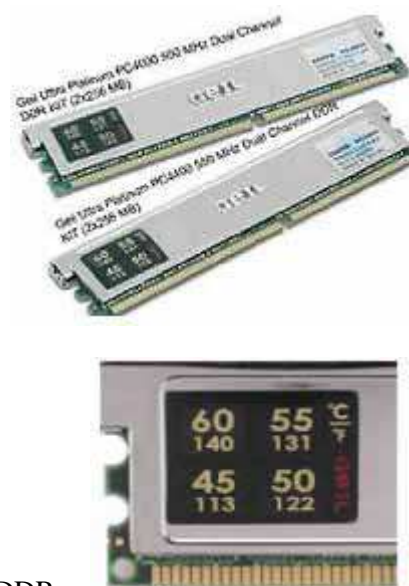
## Pamięci DDR i DDR2

Specyfikacja pamięci DDR zakłada tworzenie modułów pracujących z częstotliwościami 400 MHz i wyższymi. Niestety, aby wykorzystać wydajność tego typu pamięci należy zwiększyć także częstotliwość magistrali systemowej, co bardzo często wiąże się z „podkręcaniem” procesora.

Przykładem najnowszych i jednych z najbardziej wydajnych pamięci **DDR** są moduły **PC-4000** i **PC-4400**. Pierwsze z nich pracują z częstotliwością 500 MHz, drugie z 500 MHz. Tego typu pamięci dostępne są w selekcyonowanych parach. Dzięki temu bardzo dobrze nadają się do pracy w trybie Dual Channel, szczególnie z płytami głównymi bazującymi na chipsetach Intel 875P i 865PE/G. Czasy dostępu tego typu pamięci sięgają 3,5 ns. Nadmiar ciepła wydzielanego podczas pracy odprowadzany jest za pomocą miedzianych radiatorów. Przykładem tego typu modułów są pamięci Geil, które wyróżniają się także umieszczonym na boku radiatora termometrem. Jego zadaniem jest informowanie użytkownika o temperaturze pracy pamięci. Oczywiście tego typu rozwiązanie nie jest zbyt praktyczne - jeśli użytkownik zechce sprawdzić aktualną temperaturę modułów, będzie zmuszony zajrzeć do wnętrza komputera. Termometr nie jest też zbyt dokładny - pokazuje tylko jedną z czterech wartości.

Mimo tego iż pojawiają się tak „wyrafinowane” konstrukcje pamięci DDR, to podsystemy

pamięci oparte na szynie DDR osiągnęły bądź osiągają kres technologicznych możliwości przyspieszania już przy modułach DDR400 (PC-3200). Główną barierę stanowi architektura szyny pamięci. Ze względu na możliwość stosowania jednego, dwóch lub nawet trzech modułów pamięci, szyna musi być wyposażona w system terminatorów, eliminujących odbicia i zniekształcenia przesyłanych sygnałów. Terminatory te przy większej liczbie modułów nie najlepiej radzą sobie z tymi zniekształceniami. Dlatego w wielu płytach, obsługujących pamięci DDR400 mamy tylko po dwa gniazda DIMM w szynie.



Alternatywą dla pamięci DDR jest wykorzystanie płyt głównych z najnowszymi chipsetami Intel'a (925X, 915P, 915G i 915GV), obsługującymi pamięci **DDR2**. Nowy standard powstał z myślą o modułach pracujących z wyższymi niż dotychczas częstotliwościami, lecz na razie dostępne są jedynie kości DDR2 400 i 533. Choć te ostatnie taktowane są już dużo szybciej niż standardowe pamięci DDR, to ich przewaga nie jest wcale oczywista. Wszystkiemu winne są spore opóźnienia dostępu do nowych kości, znacznie wydłużające operacje zapisu i odczytu danych. W efekcie moduły DDR2 400 okazują się wolniejsze od DDR400. Również DDR2 533 nie są szybsze niż typowe kości DDR400, a w porównaniu z wyżej taktowanymi modułami DDR są nawet wolniejsze.

Oczywiście to dopiero początek standardu pamięci DDR2, a biorąc pod uwagę zalety tego typu pamięci, należy przyjąć iż staną się one podstawą budowania nowych, wydajnych systemów komputerowych. W pamięciach DDR2 nie występuje kłopot z działaniem terminatorów na płycie głównej, gdyż posiadają one wbudowane automatyczne terminatory. Równocześnie sposób taktowania tych pamięci został lepiej dostosowany do pracy z wysokimi częstotliwościami. Przewiduje się, że w DDR2 częstotliwość będzie można skalować aż do 1200 MHz. Kolejnym atutem pamięci DDR2 jest niskie napięcie zasilania. Dostępne w sprzedaży układy DDR2 400 i 533 zasilane są napięciem 1,8 V, podczas gdy kości DDR400 potrzebują 2,5 V, a szybsze nawet więcej. Niższe napięcie oznacza mniejsze wydzielanie ciepła, dzięki czemu moduły DDR2 nie wymagają na razie stosowania dodatkowo radiatorów.



Moduły pamięci DDR2 różnią się od dotychczasowych DDR większą liczbą gęściej rozmieszczonych wyprowadzeń, a próbom pomyłkowego ich włożenia w gniazdo DDR zapobiega inaczej położone wycięcie pozycjonujące